

Requested document:	JP1160117 click here to view the pdf document
----------------------------	--

SHIFT CIRCUIT

Patent Number:

Publication date: 1989-06-23

Inventor(s): OTSUBO SHUJI

Applicant(s): TOKYO SHIBAURA ELECTRIC CO

Requested Patent: ☐ [JP1160117](#)

Application Number: JP19870317859 19871216

Priority Number(s): JP19870317859 19871216

IPC Classification: H03M13/00

EC Classification:

Equivalents: JP1738575C, JP4023451B

Abstract

PURPOSE: To quicken the bit shift of many bits independently of the clock by allowing the shift operation of each basic shift circuit to be implemented by the switching of a bit signal by a selection circuit.

CONSTITUTION: A basic shift circuit S_{mA} detects whether or not a bit signal of a prescribed content is included in bit signals from the most significant bit till the high-order $2A$ -bit in n -bit input data. When the bit signal of a prescribed content is included, the input data is outputted as it is to the next-stage basic shift circuit S_{mA-1} and if not included, each bit signal being lower than the $2A$ -bit is switchingly outputted to the high-order bit of the basic shift circuit S_{mA-1} , of the next stage so that the signal of the $2A+1$ -th bit is the most significant bit in place of each bit signal from the most significant bit till the high-order $2A$ -th bit of the input data. Since the bit shift for lots of bits is applied by the switching selection of the bit signal without applying the shift operation using the clock, the shift speed is improved.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平1-160117

⑤ Int.Cl.⁴

H 03 M 13/00

識別記号

庁内整理番号

6832-5J

④ 公開 平成1年(1989)6月23日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 シフト回路

⑰ 特 願 昭62-317859

⑱ 出 願 昭62(1987)12月16日

⑲ 発 明 者 大 坪 修 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

シフト回路

2. 特許請求の範囲

(1) n ビットの入力信号(A_1, A_2, \dots, A_n)より成る入力データに対し、 $n \geq 2^m$ なる関係を満たす m の最大値を m_A とし $m_A + 1$ 個の基本シフト回路 S_i ($i = m_A, m_A - 1, \dots, 0$)の縦続接続を備え、

各基本シフト回路 S_i は、 n ビットの入力データのうち最上位ビットから上位 2^i ビット目までのビット信号に所定の内容のビット信号が含まれるか否かを検出する検出回路と、この検出回路の検出信号に応じて切換え制御され所定の内容のビット信号が含まれる場合には入力データをそのまま次段の基本シフト回路に出力し、含まれない場合には $2^i + 1$ ビット目の信号が最上位ビットになるように入力データの最上位ビットから上位 2^i ビット目までの各ビット信号に代えて 2^i ビット目よりも下位の各ビット信号を次段の基本シ

フト回路の上位ビット側に切換え出力する選択回路とを具備していることを特徴とするシフト回路。

(2) 前記検出回路は n ビットの入力データのうち最上位ビットから上位 2^i ビット目までの各ビット信号を入力とする論理回路であり、前記選択回路は入力データを構成する各ビット信号毎に設けられた複数の選択回路部を備え、各選択回路部にはそれに対応するビット信号とこのビット信号よりも 2^i ビット下位のビット信号とが入力され、これらビット信号のいずれか一方を前記論理回路の論理出力に応じて選択出力するように構成されていることを特徴とする特許請求の範囲第1項記載のシフト回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はシフト回路に関し、特にエラー訂正システム等に使用されるシフト回路に関する。

(従来技術)

エラー訂正システムに使用されるシフト回路

としては、カウンタ付のシフト回路が通常使用されている。これは、入力データの各ビット信号をクロックに同期して1ビットづつシフトし、入力データの何ビット目に“1”(あるいは“0”)のビット信号があるかを検出し、その時のカウンタ値を用いてエラー訂正を行なう構成のものである。

このような構成のシフト回路では、1ビットのシフトに1クロックを要するため、入力データのビット数が大きくなるとシフトに時間がかかる欠点がある。

(発明が解決しようとする問題点)

この発明は前述の事情に鑑みなされたもので、従来のシフト回路では1クロック毎に1ビットシフトする構成なので、入力データのビット数が大きくなるとシフトに時間がかかった点を改善し、クロックとは無関係にビットシフトを行なえるようにし、高速動作が可能なシフト回路を提供することを目的とする。

(作用)

前記構成のシフト回路にあっては、各基本シフト回路のシフト動作が選択回路によるビット信号の切換え動作によって行われるので、クロックとは無関係に何ビットものビットシフトを高速に行なうことが可能となる。

(実施例)

以下、図面を参照してこの発明の実施例を説明する。

第1図にこの発明の一実施例に係るシフト回路を概略的に示す。このシフト回路1は、 n ビットの入力信号 $A_1 \sim A_n$ より成る入力データを受け、その入力データの何ビット目の信号に“1”が存在するかを検知し、そのビット数だけ入力データをビットシフトして n ビットの信号 $B_1 \sim B_n$ より成る出力データとして出力すると共に、何ビットのシフトを行なったのかを表わすデータをレジスタ2へ出力する構成である。この場合、データのシフトは、後述する基本シフト回路によるビット信号の切換えによって行われる。

[発明の構成]

(問題点を解決するための手段)

この発明によるシフト回路にあっては、 n ビットの入力信号(A_1, A_2, \dots, A_n)より成る入力データに対し、 $n \geq 2$ なる関係を満たす m の最大値を m_A とし $m_A + 1$ 個の基本シフト回路 S_1 ($1 = m_A, m_A - 1, \dots, 0$)の縦続接続を備え、各基本シフト回路 S_1 は、 n ビットの入力データのうち最上位ビットから上位 2^i ビット目までのビット信号に所定の内容のビット信号が含まれているか否かを検出する検出回路と、この検出回路の検出信号に応じて切換え制御され所定の内容ビット信号が含まれる場合には入力データをそのまま次段の基本シフト回路に出力し、含まれない場合には $2^i + 1$ ビット目の信号が最上位ビットになるように入力データの最上位ビットから上位 2^i ビット目までの各ビット信号に代えて 2^i ビット目よりも下位の各ビット信号を次段の基本シフト回路の上位ビット側に切換え出力する選択回路とを具備していることを特徴とする。

第2図は第1図のシフト回路1を詳細に示すもので、シフト回路1は基本シフト回路 $S_{m_A}, S_{m_A - 1}, \dots, S_0$ の縦続接続により構成される。ここで m_A は、 $n \geq 2$ の関係を満たす m の最大値であり、例えば $n = 15$ の時すなわち扱う入力データが15ビットの場合には、 $m_A = 3$ となり、シフト回路1は $m_A + 1$ 個すなわち4個の基本シフト回路 S_3, S_2, S_1, S_0 で構成される。

基本シフト回路 S_{m_A} は、 n ビットのビット信号より成る入力データのうち最上位ビットから 2^{m_A} ビット目までに“1”が含まれずそれらが全て“0”の時に入力データに対して 2^{m_A} のビットシフトを行ない、また最初の 2^{m_A} ビット目までに“1”が含まれる時はシフトを行なわず次段の基本シフト回路 $S_{m_A - 1}$ にそのまま入力データを伝達する。さらに、シフトを行なった場合には基本シフト回路 S_{m_A} からレジスタ2へ出力される信号は“1”になり、シフトが行われなかった場合には“0”になる。この場合のシフト動作は、第3図でさらに詳細に説明するが、ビット信

号の切換え選択により行われる。同様に、基本シフト回路 S_{m_A-1} は、基本シフト回路 S_{m_A} から出力される n ビットのビット信号のうち最上位ビットから 2^{m_A-1} ビット目までに“1”が含まれずそれらが全て“0”の時にその入力データに対して 2^{m_A-1} のビットシフトを行ない、また最初の 2^{m_A-1} ビット目までに“1”が含まれる時はシフトを行わず次段の基本シフト回路 S_{m_A-2} にそのまま入力データを伝達する。さらに、シフトを行なった場合には基本シフト回路 S_{m_A-1} からレジスタ2へ出力される信号は“1”になり、シフトが行われなかった場合には“0”になる。

即ち、例えば入力データが15ビットの場合、前述のようにシフト回路1は4個の基本シフト回路 $S_3 \sim S_0$ の縦続接続より構成されるが、シフト回路 S_3 は最上位ビットから $2^3 = 8$ ビット目までに“1”が含まれずそれらが全て“0”の時にその入力データに対して8ビットのシフトを行ない、また最初の8ビット目までに“1”が含まれる時はシフトを行わず次段の基本シフト回路

らレジスタ2への出力は“1”となる。

この結果、各基本シフト回路からレジスタ2へ出力されるデータは「1001」となり、これによって全体で9ビットのビットシフトが行なわれたことが示される。

第3図は前述した基本シフト回路の具体的な構成の一例を示すもので、この図は基本シフト回路 S_{m_A} に対応するものである。

ノアゲート10には入力データの最初の 2^{m_A} ビット目までの信号 $A_1, A_2, \dots, A_{2^{m_A}}$ が入力され、その出力はレジスタ2へ送られると共に、オアゲート11a, 12a, 13a, $\dots, 1na$ の一方の入力にそれぞれ供給される。また、ノアゲート10の出力は、インバータ10を介してオアゲート11b, 12b, 13b, $\dots, 1nb$ の一方の入力にそれぞれ供給される。

オアゲート11a, 12a, 13a, $\dots, 1na$ の他方の入力には、それぞれ対応して入力信号 $A_1, A_2, A_3, \dots, A_n$ がインバータ11a, 12a, 13a, $\dots, 1na$ を介して供給される。また、オアゲ

S_2 にそのまま入力データを伝達する。

入力データ $A_1 \sim A_n$ の内容が「000000000100000」の場合には、最初の8ビット目までが全て“0”であるので基本シフト回路 S_3 は8ビットのシフトを行ない、次段の基本シフト回路 S_2 へデータ「010000000000000」を出力する。この時、基本シフト回路 S_3 からレジスタ2への出力は“1”となる。基本シフト回路 S_2 は、入力データの最初の4ビット目までに“1”が含まれるのでシフトを行わず入力データ「010000000000000」をそのまま基本シフト回路 S_1 へ出力する。この時、基本シフト回路 S_2 からレジスタ2への出力は“0”である。同様に基本シフト回路 S_1 においても、入力データの最初の2ビット目までに“1”が含まれているのでシフトは行なわずそのままデータを出力し、レジスタ2へは“0”を出力する。基本シフト回路 S_1 は、入力データの最初の1ビット目が“0”であるので1ビットのビットシフトを行ない、「100000000000000」を出力データとして出力する。この時、基本シフト回路 S_1 か

ート11b, 12b, 13b, $\dots, 1nb$ の他方の入力には、それぞれ対応して入力信号 $A_{1+2^{m_A}}, A_{2+2^{m_A}}, A_{3+2^{m_A}}, \dots, A_{n+2^{m_A}}$ がインバータ11b, 12b, 13b, $\dots, 1nb$ を介して供給される。

オアゲート11a, 11b の各出力は共にナンドゲート N_1 の入力に供給され、このナンドゲート N_1 からの出力が次段に設けられる基本シフト回路への第1ビット目の出力信号となる。同様に、オアゲート12a, 12b の各出力はナンドゲート N_2 の入力に、またオアゲート13a, 13b の各出力はナンドゲート N_3 の入力にそれぞれ供給され、これらナンドゲート N_2, N_3 からの出力は次段に設けられる基本シフト回路への第2, 第3ビット目の出力信号となる。

$A_{1+2^{m_A}}, A_{2+2^{m_A}}, A_{3+2^{m_A}}, \dots, A_{n+2^{m_A}}$ はそれぞれ入力データの $1+2^{m_A}$ ビット目, $2+2^{m_A}$ ビット目, $3+2^{m_A}$ ビット目, $\dots, n+2^{m_A}$ ビット目の信号であるが、これらの内で入力データのビット数を上回るものに

ついては、全て“0”が供給される。つまり、入力データが15ビットである場合には、 $m_A = 3$ となるので、 A_{8+2^3} 以降の信号がそのビット数を上回ることになり、それらには全て“0”が供給される。このように構成される基本シフト回路では、入力信号 $A_1 \sim A_{2^{m_A}}$ が全て“0”で“1”が含まれてない時にはノアゲート10の出力が“1”となるので、オアゲート11a, 12a, … 1na の一方の入力にはそれぞれ“1”が入力され、オアゲート11b, 12b, … 1nb の一方の入力にはインバータ10によってそれぞれ“0”が入力される。したがって、ナンドゲートN1, N2, … Nnからはそれぞれビット信号 $A_{1+2^{m_A}}, A_{2+2^{m_A}}, \dots A_{n+2^{m_A}}$ が選択されて出力される。また、入力信号 $A_1 \sim A_{2^{m_A}}$ に“1”が含まれている時にはノアゲート10の出力が“0”となるので、オアゲート11a, 12a, … 1na の一方の入力にはそれぞれ“0”が入力され、オアゲート11b, 12b, … 1nb の一方の入力にはインバータ10によってそれぞれ“1”が入力される。した

がって、この場合にはナンドゲートN1, N2, … Nnからはそれぞれビット信号 $A_1, A_2, \dots A_n$ が選択されて出力される。

このように、本願発明のシフト回路にあっては、基本シフト回路 S_{m_A} が、 n ビットの入力データのうち最上位ビットから上位 2^{m_A} ビット目までのビット信号に所定の内容のビット信号が含まれるか否かを検出し、所定の内容のビット信号が含まれる場合には入力データをそのまま次段の基本シフト回路に出力し、含まれない場合には入力データの最上位ビットから上位 2^{m_A} ビット目までの各ビット信号に代えて $2^{m_A} + 1$ ビット目の信号が最上位ビットになるように 2^{m_A} ビット目よりも下位の各ビット信号を次段の基本シフト回路の上位ビット側に切換え出力する構成であるので、従来のようにクロックを用いたシフト動作を行なうことなく何ビットものビットシフトをビット信号の切換え選択によって行なえるので、そのシフト速度を向上させることが可能となる。

尚、この実施例では、入力データにおいてビッ

トデータの内容が“1”であるビット位置を検知する場合を説明したが、“0”を検知することも同様の構成で実現することができる。

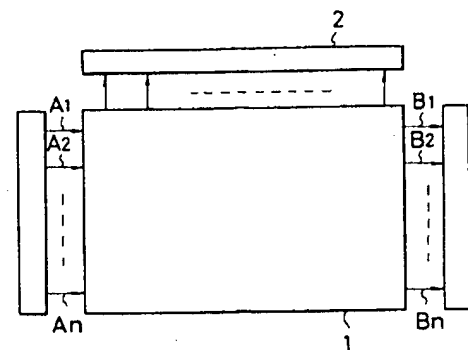
[発明の効果]

以上のようにこの発明によれば、クロックとは無関係にビットシフトを行なうことができるので、特にビット数の多いデータのシフト動作を高速に行なうことが可能となる。

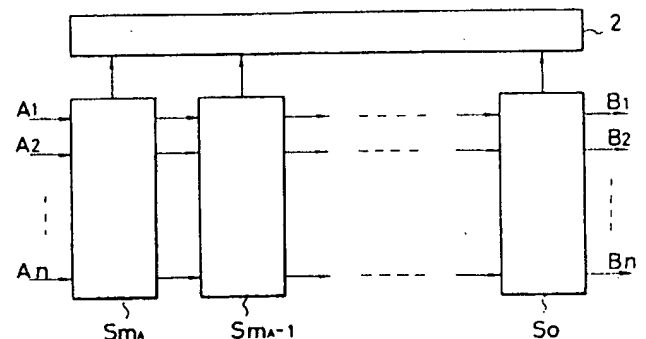
4. 図面の簡単な説明

第1図はこの発明の一実施例に係わるシフト回路を概略的に示すブロック図、第2図は第1図に示したシフト回路の構成をさらに詳細に説明するブロック図、第3図はシフト回路を構成する各基本回路の具体的構成を示す回路図である。

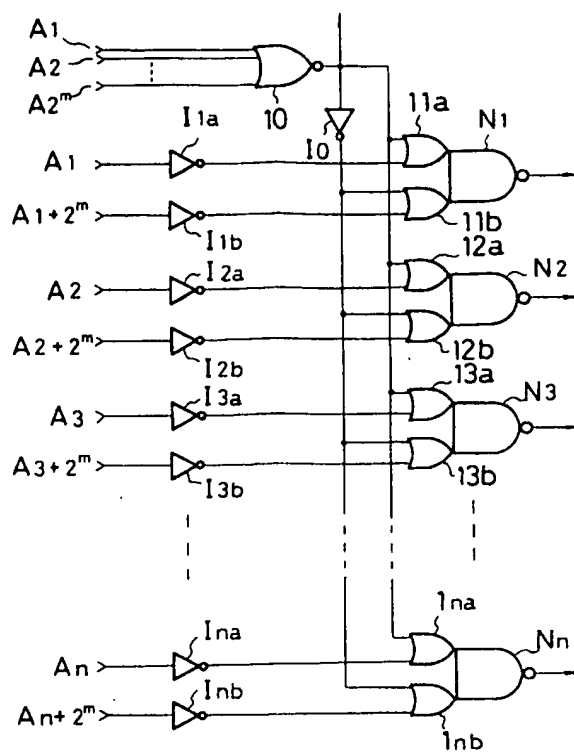
1 … シフト回路、2 … レジスタ、 $S_{m_A} \sim S_0$ … 基本シフト回路。



第1図



第2図



第 3 図